

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—111158

⑤ Int. Cl.³
H 04 L 27/20

識別記号

庁内整理番号
7240—5K

⑬ 公開 昭和57年(1982)7月10日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 反射形位相変調器

川崎市中原区上小田中1015番地
富士通株式会社内

⑯ 特 願 昭55—186929

⑰ 発 明 者 石山佳宏

⑱ 出 願 昭55(1980)12月26日

川崎市中原区上小田中1015番地
富士通株式会社内

⑰ 発 明 者 芦田秀夫

⑰ 発 明 者 中谷哲二

川崎市中原区上小田中1015番地
富士通株式会社内

川崎市中原区上小田中1015番地
富士通株式会社内

⑰ 発 明 者 矢野泰弘

⑱ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地
富士通株式会社内

川崎市中原区上小田中1015番地

⑰ 発 明 者 生田秀輝

⑲ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

反射形位相変調器

2. 特許請求の範囲

入出力分離回路の入出力端子以外の端子の終端にFETのドレインとソースの一方を接続し他方を接地し、ゲートより被変調パルス信号を印加し該パルス信号で該分離回路入力端子より加えられた高周波信号を位相変調し出力端子より変調された高周波信号を取り出すことを特徴とした反射形位相変調器。

3. 発明の詳細な説明

本発明はマイクロ波帯の反射形位相変調器に係り特に簡易な構成で高速に動作するFETを用いた反射形位相変調器に関する。

従来マイクロ波帯の反射形位相変調器としてはPINダイオードあるいはショットキ・バリア・ダイオードなどの素子が用いられている。前者は被変調パルス信号によりダイオードの順方向、逆方向をスイッチングするため、順方向から逆方向

にスイッチングするとき、I層に蓄積された少数キャリアが高速変調器の動作を制限すると同時に順方向に多量の電流を流すために変調パルス増幅器として大電力を要するという欠点があり、後者はマイクロ波帯の電力として大きな電力を変調することができないという欠点がある。また両者ともダイオードであるため、マイクロ波帯の入力信号と被変調信号とを分離する回路を必要とする。

本発明はこのような従来技術の欠点を除去しようとするもので、変調素子としてFETを用い変調信号と被変調信号とをそれぞれアイソレートした構造で、かつ低電力でドライブ可能なマイクロ波帯の反射形位相変調器の提供を目的とする。

この目的を達成するため本発明のマイクロ波帯の反射形位相変調器においては、入出力分離回路の入出力端子以外の端子の終端にFETのドレイン、ソースの一方を接続し、他方を接地しゲートより被変調パルス信号を印加し該パルス信号で該分離回路入力端子より加えられた高周波信号を位相変調し出力端子より変調された高周波信号を取

り出すことを特徴としている。

すなわち本発明は、FETのドレイン、ソース間に直流バイアス電圧を印加しない状態で、ドレイン、ソース間のインピーダンスがゲート印加電圧により変化する特性を利用し、ゲートにパルス信号(被変調信号)を印加し、マイクロ波帯の信号を位相変調するものである。

以下図面を用いて本発明を詳細に説明する。

第1図は本発明の原理を説明するための構成図であり、伝送線路4の一端と接地導体間にFET1のドレインDとソースSをそれぞれ接続し、ドレイン、ソース間に直流バイアスを印加せず、かつゲートGに逆バイアスとなるように直流電圧2を印加している。又3はバイアス調整用の分圧器である。今ゲート電圧 V_g を変化し、ゲート電圧 V_g をパラメータとして、FETの反射係数をインピーダンスチャート上にプロットすると第2図に示すような特性を示す。すなわちゲート電圧 $-15 \sim -1.6$ Vの間では反射波は最少となり、ゲート電圧を増減させるとそれぞれ反射波の位相はほぼ

180°の位相差を呈する。

第3図は本発明による一実施例の構成図であり2相の位相変調器の場合を示す。

図において、1はFET、2はゲートバイアス用電源、3はバイアス調整用分圧器、12はパルス増幅器、5は被変調パルス入力端子、6はゲートバイアスとパルス信号の重畳器、7はマイクロ波阻止用チョーク、8は入出力分離用のサーキュレータ、9は高周波信号入力端子、10は高周波変調信号出力端子、11は変調位相の補正用整合回路である。

高周波信号入力端子9より入力した高周波信号はサーキュレータ8、整合回路11を介してFET1のドレインDに入力する。一方被変調パルス入力端子5より入力したパルス信号はパルス増幅器12、重畳器6を介してFET1のゲートGに加えられる。この場合パルス信号は重畳器6にてバイアス変化を受けている。したがって前述の説明(第1図についての説明)の如くFET1のドレインDに入力した高周波信号はゲート信号(パ

ルス信号)により2相に移相され、サーキュレータ8の出力端子10にて2相に移相された変調信号がとり出される。

又FET1のドレインDとゲートGは電氣的に絶縁されているため、従来例で述べた高周波信号と被変調信号とを分離するための回路は不必要となる。

第4図は第3図のサーキュレータ8の代わりにハイブリット回路13を用いた場合の構成図であり、端子9、10はハイブリット13のアイソレーション特性を示す端子である。

第5図は本発明を4相位相変調器に実施した一例である。16は高周波信号を分岐し、変調器14および変調器15に信号をそれぞれ同相で供給する。変調された信号は17のハイブリットで90°の位相差で合成される。すなわち、合成された出力はCH1、CH2の入力パルスにより0°、90°、180°、270°の位相変調される信号となる。

以上詳細に述べた如く本発明による位相変調器はFETを用いるため少電力で動作すると共に高

周波信号と被変調信号の分離する回路も不必要となり、その利点は大きい。

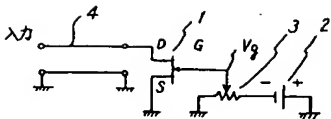
なお、FETはドレインとソースは電氣的に對称性を持っているのでドレインとソースをそれぞれ入れ替えても同様に本発明の目的が達成される。

4. 図面の簡単な説明

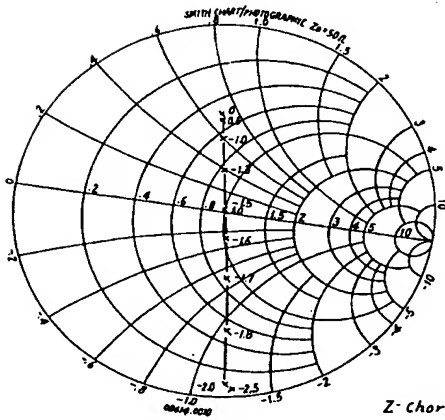
第1図は本発明の原理を説明するための構成図、第2図は第1図の特性図、第3図は本発明の一実施例、第4図、第5図は他の実施例を示す。

1…FET、8…入出力分離回路、9…入力端子、10…出力端子、D…ドレイン、S…ソース、G…ゲート。

代理人 弁理士 松 岡 宏四郎



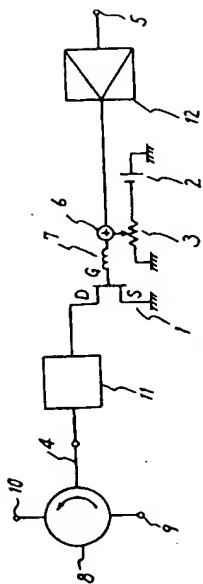
第 1 図



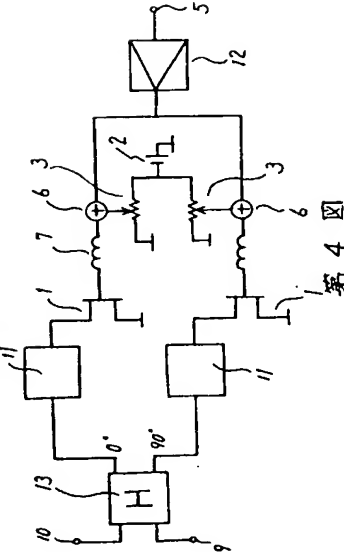
Z-chart
 $Z_0 = 50 \Omega$

周波数 6000 MHz

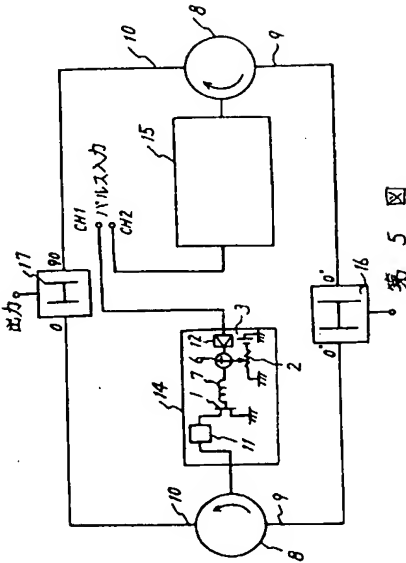
第 2 図



第 3 図



第 4 図



第 5 図



P101715

The
Patent
Office



INVESTOR IN PEOPLE

3/3 - (C) PAJ / JPO

PN - ---JP57111158--- A 19820710

AP - JP19800186929 19801226

PA - FUJITSU KK

IN - ASHIDA HIDEO; others: 04

I - H04L27/20

TI - REFLECTIVE PHASE MODULATOR

AB - PURPOSE: To omit a circuit for separating a high frequency signal from a signal to be modulated, by applying a device with a pulse signal to be modulated, which is applied to the gate of an FET, and phase-modulating the high frequency signal applied to the separating circuit by this pulse signal, and outputting the high frequency signal.

- CONSTITUTION: This reflective phase modulator is provided with an FET1, a gate biasing electric power source 2, a pulse amplifier 12, an input/output separating circulator 8, etc. A high frequency signal inputted from a high frequency input terminal 9 is inputted to the drain D of the FET1 through the circulator 8 and a matching circuit 11. Also, a pulse signal inputted from a modulation pulse input terminal 5 is applied to the gate G of the FET1 through the amplifier 12 and a superposer 6. This pulse signal is biased and varied by the superposer 6. Accordingly, the high frequency signal inputted to the drain of the FET1 is phase-shifted to 2 phase by a gate signal, and a modulation signal which is phase-shifted to 2 phase is fetched from an output terminal 10 of the circulator 8.

GR - E136

ABV - 006205

ABD - 19821016



The
Patent
Office



INVESTOR IN PEOPLE

JP57111158

